

BUNDESREPUBLIK DEUTSCHLAND

REC'D 17 DEC 2004

WIPO PCT

**Prioritätsbescheinigung über die Einreichung
einer Patentanmeldung**

Aktenzeichen: 103 53 772.4
Anmeldetag: 18. November 2003
Anmelder/Inhaber: austriamicrosystems AG,
Unterpremstätten/AT
Bezeichnung: Verfahren zur Herstellung von Transistor-
strukturen mit LDD
IPC: H 01 L 21/336

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 11. November 2004
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Klostermeyer

**PRIORITY
DOCUMENT**SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)A 9161
08/00
EDV-L**BEST AVAILABLE COPY**

Beschreibung

Verfahren zur Herstellung von Transistorstrukturen mit LDD

- 5 Die vorliegende Erfindung betrifft die Herstellung von Feldeffekttransistoren mit LDD.

Bei der Herstellung von MOSFET-Strukturen, insbesondere im Rahmen eines CMOS-Prozesses, werden sourceseitig und drainseitig des Kanals so genannte LDD-Bereiche (Lightly Doped Drain) ausgebildet, um die Betriebseigenschaften des Transistors zu verbessern. Z. B. werden damit die Kurzkanaleffekte, insbesondere DIBL, Punch-through, GIDL und V_t -Roll-off reduziert. Die LDD-Bereiche werden zwischen dem Source-Bereich und dem Kanalbereich und zwischen dem Kanalbereich und dem Drain-Bereich angebracht. Sie reduzieren die ansonsten sehr hohe elektrische Feldstärke zwischen dem Source-Bereich bzw. Drain-Bereich und dem Kanal-Bereich.

- 20 Bei der Herstellung komplementärer Transistoren im Rahmen eines CMOS-Prozesses werden jeweils die für den einen Typ vorgesehenen Transistoren mit einer Maske abgedeckt. Dann erfolgt für die übrigen Transistoren eine Implantation von Dotierstoff niedriger Dosis, um die LDD-Bereiche herzustellen. Die Maske wird entfernt, und es werden die zuvor implantierten Transistoren mit einer weiteren Maske abdeckt. Dann erfolgt eine Implantation von Dotierstoff für den entgegengesetzten Leitfähigkeitstyp, mit dem die LDD-Bereiche der komplementären Transistoren hergestellt werden. Um die nachfolgend zu implantierenden Source-Bereiche und Drain-Bereiche ausreichend von den Kanalbereichen abzusetzen und damit einen möglicherweise auftretenden Punch-through zu unterdrücken, den GIDL-Effekt zu reduzieren und eine Degradation des MOSFETS durch heiße Ladungsträger zu vermindern, werden Seitenwandspacer an den sourceseitigen und drainseitigen Flanken der Gate-Elektroden hergestellt. Für die Implantierung des Dotierstoffs für die Source-Bereiche und Drain-Bereiche mit
- 30
- 35

höherer Dotierstoffkonzentration müssen dann mittels zweier weiterer Masken wieder jeweils die Transistoren des einen Typs abgedeckt werden. Das erfordert insgesamt vier Masken. Wegen der mit den LDD-Bereichen erzielten Vorteile sind noch
5 weitere solcher Strukturen entwickelt und untersucht worden, wie z. B. LATID (Large-Angle Tilted Implant Drain) und DDD.

Aufgabe der vorliegenden Erfindung ist es, ein vereinfachtes Herstellungsverfahren von Transistorstrukturen mit LDD anzugeben.
10

Diese Aufgabe wird mit dem Verfahren mit den Merkmalen des Anspruchs 1 gelöst. Ausgestaltungen ergeben sich aus den abhängigen Ansprüchen.

15

Bei dem hier beschriebenen Verfahren genügt für jeden Transistortyp die Verwendung nur einer Maske, mit der der jeweils entgegengesetzte Transistortyp abgedeckt wird. Um die unterschiedlichen Dotierstoffkonzentrationen für die Source- und Drain-Bereiche und die daran anschließenden niedriger dotierten Bereiche, im Folgenden der Einfachheit halber als LDD-Bereiche bezeichnet, implantieren zu können, werden sourceseitig und drainseitig an die Gate-Elektrode angrenzende und von der Gate-Elektrode nach außen abfallende schräge Flanken in dem Substrat oder Halbleiterkörper hergestellt. Vor der
20 Implantation werden Seitenwandspacer an den sourceseitigen und drainseitigen Flanken der Gate-Elektrode durch anisotropes Rückätzen einer konform abgeschiedenen Schicht hergestellt. Die Seitenwandspacer bedecken zumindest teilweise die
30 Flanken der Gate-Elektrode und die schrägen Flanken im Substrat.

Eine steil, vorzugsweise möglichst senkrecht, auf die Substratoberfläche auftreffende Implantation bringt den Dotierstoff für die Source-Drain-Bereiche in hoher Konzentration
35 ein. Eine schräge Implantation in einem Winkel zwischen 30° und 60°, zum Beispiel etwa 45°, zur ursprünglichen Oberseite

des Substrats und mit einer niedrigeren Dosis wird vorgenommen, um die LDD-Bereiche auszubilden. Die Dotierstoffatome gelangen dabei durch die Seitenwandspacer in das Halbleitermaterial. Durch die typischen Form der Spacer und die geeignete Schräge der in dem Substrat ausgebildeten Flanken wird erreicht, dass die Dicke der Spacer zu den Source-Drain-Bereichen hin derart abnimmt, dass dort angrenzend an die Source-Drain-Bereiche die LDD-Bereiche mit der vorgesehenen Dotierstoffkonzentration hergestellt werden können.

10

Es folgt eine genauere Beschreibung von Beispielen des Verfahrens anhand der beigefügten Figuren.

15

Die Figur 1 zeigt im Querschnitt eine Schichtanordnung zur Strukturierung der Gate-Elektrode:

Die Figur 2 zeigt die Anordnung der Figur 1 mit strukturierter Gate-Elektrode.

20

Die Figur 3 zeigt ein weiteres Zwischenprodukt nach einem Ätzen der schrägen Flanken in der Substratoberseite.

Die Figur 4 zeigt ein weiteres Zwischenprodukt nach dem Abscheiden der Spacerschicht.

Die Figur 5 zeigt die Struktur nach dem Ätzen der Seitenwandspacer.

30

Die Figur 6 zeigt die Herstellung der LDD-Bereiche und der Source- und Drain-Bereiche.

35

In einer bevorzugten Ausführungsform des Verfahrens werden gemäß dem in der Figur 1 dargestellten Querschnitt auf eine im Wesentlichen ebene Oberseite eines Substrats 1 oder eines Halbleiterkörpers, z. B. aus Silizium, mit einer Grunddotierung oder dotierten Wannen ein Gate-Dielektrikum 2 und eine für die Gate-Elektrode vorgesehene Elektrodenschicht 30,

z. B. aus Polysilizium, aufgebracht. Es wird darauf eine Lackmaske 4 hergestellt, die entsprechend der herzustellenden Gate-Elektrode strukturiert ist.

- 5 Die Figur 2 zeigt den Querschnitt der Figur 1, nachdem mittels der Lackmaske 4 die Gate-Elektrode 3 strukturiert worden ist. Die Längsrichtung des Kanals liegt in der Zeichenebene. Links und rechts unterhalb der Gate-Elektrode 3 befinden sich daher die für Source und Drain vorgesehenen Bereiche. In der
10 Figur 2 ist erkennbar, dass beim Ätzen des Materials der Gate-Elektrode 3 die Schicht des Gate-Dielektrikums 2 als Ätzstoppschicht wirkt. Die Zusammensetzung des Ätzgases wird dann geändert, so dass die Schicht des Gate-Dielektrikums seitlich der Gate-Elektrode 3 entfernt wird und weiter in das
15 Substrat 1 geätzt wird. Der Fotolack der Lackmaske 4 kann gegebenenfalls vor dem Ätzen des Substrats entfernt werden.

- Es wird so weit geätzt, bis die Oberseite des Substrats entsprechend der Darstellung der Figur 3 um eine Tiefe d abgesenkt ist. Gleichzeitig wird an den sourceseitigen und drainseitigen Flanken der Gate-Elektrode 3 jeweils eine von der Gate-Elektrode 3 nach außen abfallende schräge Flanke 5 ausgebildet. Bei dem in der Figur 3 dargestellten Beispiel besitzen diese Flanken 5 eine Neigung von 45° zu der übrigen, im Wesentlichen ebenen Substratoberseite beziehungsweise zu der Ebene der ursprünglichen Substratoberseite. Durch eine geeignete Einstellung der Ätzraten in horizontaler und vertikaler Ätzrichtung können hier aber andere Neigungswinkel eingestellt werden. Bevorzugt bei diesem Verfahren sind Neigungswinkel von 30° bis 60° , wobei die schrägen Flanken 5 vorzugsweise zueinander spiegelsymmetrisch bezüglich der Gate-Elektrode 3 ausgebildet werden, aber im Prinzip auch unterschiedliche Neigungswinkel aufweisen können. Die Tiefe d dieser Ätzung beträgt vorzugsweise 20 nm bis 200 nm, typisch
30 z. B. etwa 100 nm. Bei dem Ätzen des Substrats können die schrägen Flanken 5 ein Stück weit unter die Gate-Elektrode 3 geätzt werden (underetch).
35

Es wird dann, wie in der Figur 4 gezeigt, kantenkonform isotrop eine Spacerschicht 6 abgeschieden, die vorzugsweise Oxid ist und z. B. in einer typischen Dicke von etwa 150 nm bis 160 nm aufgebracht werden kann. Die erforderliche Dicke hängt auch mit der Tiefe d zusammen; sie sollte maximal etwa 200 nm betragen. Die Tiefe d , die Dicke der Spacerschicht 6 sowie die Neigung der schrägen Flanken 5 und die Abmessung der Struktur werden aufeinander abgestimmt. Die Spacerschicht 6 wird anschließend anisotrop in einer an sich bekannten Weise rückgeätzt, um Seitenwandspacer an den Flanken der Gate-Elektrode zu bilden.

Die Figur 5 zeigt die so erhaltene Struktur mit den Spacern 7 an den sourceseitigen und drainseitigen Flanken der Gate-Elektrode 3. Die Spacer 7 bedecken die schrägen Flanken 5, wobei in der Figur 5 deutlich erkennbar ist, dass die in der zu der Ebene der schrägen Flanken 5 senkrechten Richtung gemessene Dicke der Spacer 7 nach unten zum Substrat hin geringer wird. Unterhalb einer durch das Gate-Dielektrikum 2 festgelegten Ebene hat der Querschnitt der Spacer 7 näherungsweise eine dreieckige Form. Es kann dann die erste Maske aufgebracht werden, um die Transistorbereiche, die für Transistoren des einen Typs vorgesehen sind, abzudecken. Daraufhin erfolgt die Implantation zur Ausbildung der Source-Bereiche, Drain-Bereiche und LDD-Bereiche. In eine p-dotierte Wanne im Substrat 1 wird ein Dotierstoff für n-Leitung eingebracht und umgekehrt.

In der Figur 6 ist die Herstellung der Source- und Drain-Bereiche 12 sowie der Bereiche 11 niedrigerer Dotierstoffkonzentration, im Folgenden ohne die Absicht einer Einschränkung kurz als LDD-Bereiche 11 bezeichnet, im Schema dargestellt. In der Figur 6 ist die Senkrechte 8 auf der um die Tiefe d abgesenkten Ebene der Oberseite des Substrats 1 eingezeichnet. Der dargestellte Querschnitt liegt in der Ebene, die

senkrecht auf der Oberseite des Substrats und senkrecht auf der Ebene der schrägen Flanke 5 steht.

Die für die LDD-Bereiche vorgesehene Implantation niedriger Dosis 9 wird in einer Richtung vorgenommen, die in diesem in der Figur 6 dargestellten Querschnitt um den Winkel 14 gegen die Senkrechte 8 geneigt ist. Der Winkel 14 für die Implantation niedriger Dosis 9 kann dem Neigungswinkel der Flanken 5 gegen die Substratoberseite entsprechen, kann aber auch davon abweichen; er liegt vorzugsweise im Bereich zwischen 30° und 60° . Durch den dünnen unteren Teil der Spacer 7 gelangt genügend Dotierstoff in das Substrat, um die LDD-Bereiche 11 auszubilden. Die LDD-Bereiche 11 reichen in dem dargestellten Beispiel noch etwas unter die Gate-Elektrode 3. Zwischen ihnen befindet sich der Kanalbereich 13.

Eine weitere Implantation höherer Dosis 10 erfolgt zur Herstellung der Source-Bereiche und Drain-Bereiche 12. Die Reihenfolge der Implantationen ist im Prinzip beliebig. Bevorzugt ist die Herstellung der LDD-Bereiche vor der Herstellung der Source- und Drain-Bereiche. Die Richtung der Implantation höherer Dosis 10 sollte von der Senkrechten 8 höchstens um einen Winkel von etwa 7° abweichen, um sicherzustellen, dass die Source-Drain-Bereiche in ausreichendem Abstand von dem Kanalbereich 13 hergestellt werden.

Bei weiteren Ausgestaltungen, die von dem bevorzugten und in den Figuren idealisiert dargestellten beschriebenen Ausführungsbeispiel abweichen, können die Flanken insbesondere zum Substrat hin gewölbt oder sonst uneben ausgebildet werden. Der oben bezeichnete Neigungswinkel der Flanken von 30° bis 60° zu der ebenen Oberseite des Substrates wird in diesen Fällen durch eine die Flanken approximierende Ebene geeignet definiert. Diese Ebene wird z. B. durch die betreffende untere Kante der Gate-Elektrode und den Übergang zwischen der schrägen Flanke und dem waagrechten Anteil der Substratoberseite festgelegt.

Die Spacer 7 brauchen nicht notwendig wie in der Figur 5 dargestellt genau die Flanken der Gate-Elektrode und die schrägen Flanken 5 zu bedecken. Statt dessen kann z. B. ein unterer Anteil der schrägen Flanken 5 und/oder ein oberer Anteil der Flanken der Gate-Elektrode von den Spacern 7 frei gelassen bleiben. Es kann auch vorgesehen werden, dass die Spacer 7 noch einen Anteil der waagrechten Oberseite des Substrats 1 mit bedecken. Die Darstellungen der Figuren 5 und 6 sind in dieser Hinsicht idealisiert. Wesentlich für die Ausgestaltung der Spacer ist dabei nur, dass sie in der vorgesehenen Richtung der Implantation niedriger Dotierstoffkonzentration zumindest im unteren Bereich ausreichend dünn sind, um genügend Dotierstoff durchzulassen, und dass sie andererseits in der zu der Substratoberseite senkrechten Richtung eine ausreichende gateseitige Abschirmung der steil auftreffenden Source-/Drain-Implantationen bilden.

Patentansprüche

1. Verfahren zur Herstellung von Transistorstrukturen mit LDD, bei dem
- 5 auf einer im Wesentlichen ebenen Oberseite eines Halbleiterkörpers oder Substrats (1) eine Gate-Elektrode (3) auf einem Gate-Dielektrikum (2) strukturiert wird und unter Verwendung der Gate-Elektrode (3) als Maske Implantationen von Dotierstoff zur Ausbildung von Source-/Drain-
- 10 Bereichen (12) sowie von daran kanalseitig angrenzenden Bereichen (11) niedrigerer Dotierstoffkonzentration erfolgen, d a d u r c h g e k e n n z e i c h n e t , dass nach dem Strukturieren der Gate-Elektrode (3) das Substrat (1) derart geätzt wird, dass sourceseitig und drainseitig an
- 15 die Gate-Elektrode (3) angrenzende und von der Gate-Elektrode (3) nach außen abfallende schräge Flanken (5) ausgebildet werden, eine Spacerschicht (6) kantenkonform abgeschieden und anisotrop zu Spacern (7) rückgeätzt wird, die die sourceseitigen
- 20 und drainseitigen Flanken der Gate-Elektrode (3) und die schrägen Flanken (5) zumindest teilweise bedecken, und die Implantation von Dotierstoff in einer bezüglich der ursprünglichen Oberseite des Substrats steilen Richtung zur Ausbildung der Source- und Drain-Bereiche (12) und in einer bezüglich der ursprünglichen Oberseite des Substrats schrägen Richtung durch die Spacer (7) hindurch zur Ausbildung der Bereiche (11) niedrigerer Dotierstoffkonzentration vorgenommen wird.
- 30 2. Verfahren nach Anspruch 1, bei dem die schrägen Flanken (5) mit einer Neigung von 30° bis 60° gegen die ursprüngliche Oberseite des Substrats (1) ausgebildet werden.
- 35 3. Verfahren nach Anspruch 2, bei dem die schrägen Flanken (5) mit einer Neigung von 45° gegen die ursprüngliche Oberseite des Substrats (1) ausgebildet werden.

4. Verfahren nach einem der Ansprüche 1 bis 3, bei dem die Implantation zur Ausbildung der Bereiche (11) niedrigerer Dotierstoffkonzentration in einer Richtung erfolgt, die in einer auf der Oberseite des Substrats (1) und den schrägen Flanken (5) senkrecht stehenden Schnittebene mit einer Senkrechten auf der ursprünglichen Oberseite des Substrates (1) einen Winkel zwischen 30° und 60° einschließt.
5. Verfahren nach einem der Ansprüche 1 bis 4, bei dem die Implantation zur Ausbildung der Source- und Drain-Bereiche (12) in einer Richtung erfolgt, die in einer auf der Oberseite des Substrats (1) und den schrägen Flanken (5) senkrecht stehenden Schnittebene mit einer Senkrechten auf der ursprünglichen Oberseite des Substrates (1) einen Winkel zwischen 0° und 7° einschließt.
6. Verfahren nach einem der Ansprüche 1 bis 5, bei dem mit dem Ätzen der schrägen Flanken (5) das Substrat (1) auch etwas unterhalb der Gate-Elektrode (3) weggeätzt wird.
7. Verfahren nach einem der Ansprüche 1 bis 6, bei dem mit dem Ätzen der schrägen Flanken (5) die Oberseite des Substrats (1) um eine Tiefe (d) im Bereich von 20 nm bis 200 nm abgesenkt wird.

Zusammenfassung

Verfahren zur Herstellung von Transistorstrukturen mit LDD

- 5 Das Substrat (1) wird derart geätzt, dass sourceseitig und drainseitig an die Gate-Elektrode (3) angrenzende, nach außen abfallende schräge Flanken (5) ausgebildet werden. Dort werden Spacer (7) angeordnet. Es erfolgen eine Implantation (9) von Dotierstoff in einer bezüglich der Oberseite schrägen
- 10 Richtung durch die Spacer (7) hindurch zur Ausbildung der Bereiche (11) niedrigerer Dotierstoffkonzentration und eine Implantation (10) von Dotierstoff in einer bezüglich der Oberseite steilen Richtung zur Ausbildung der Source- und Drain-Bereiche (12).

15

Figur 6

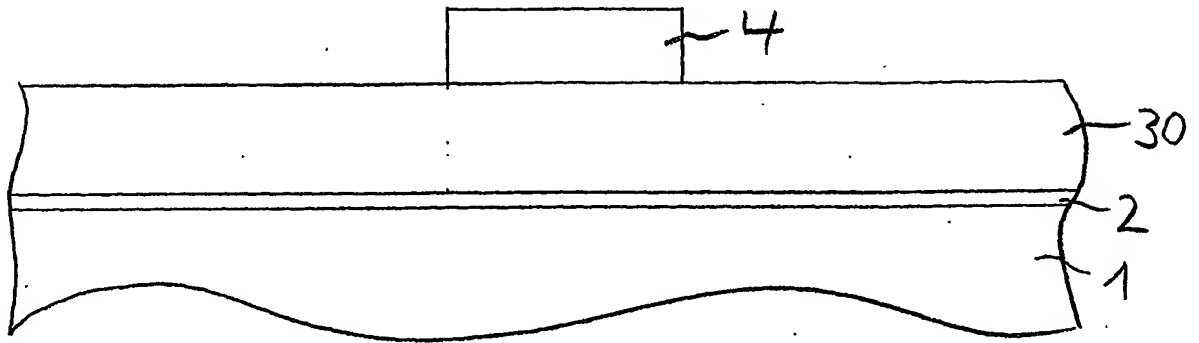


Fig 1

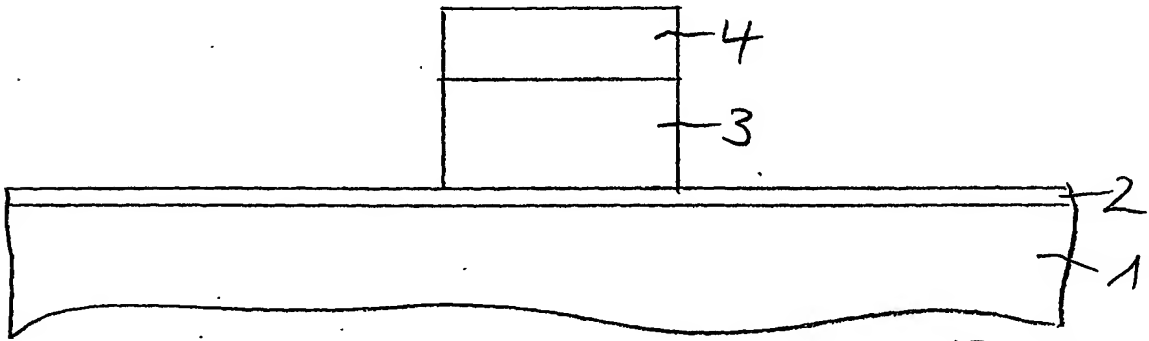


Fig 2

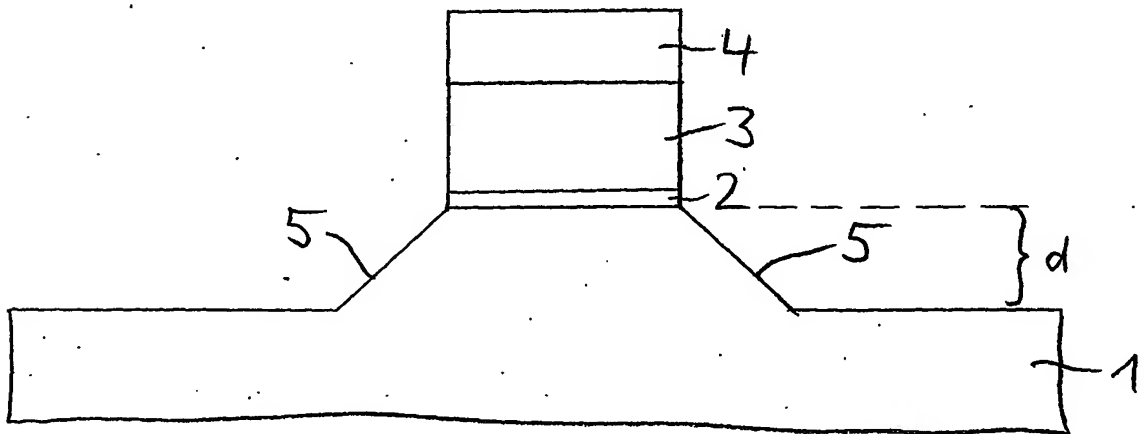
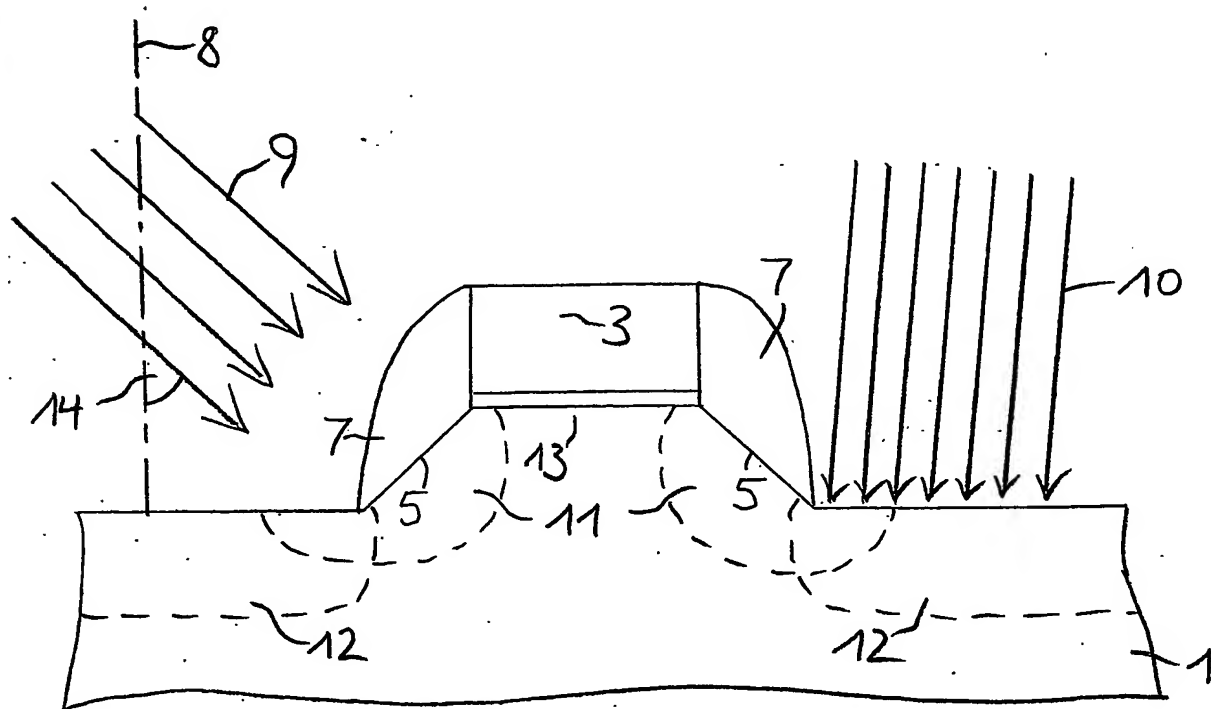
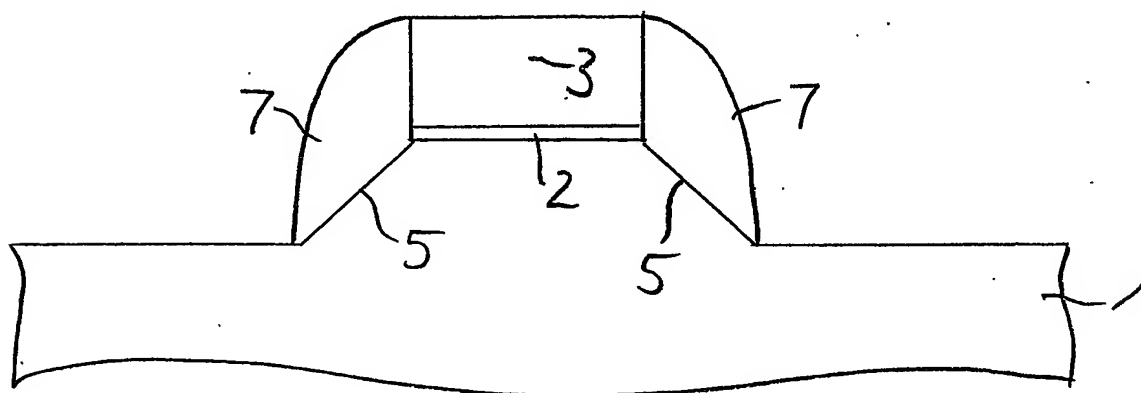
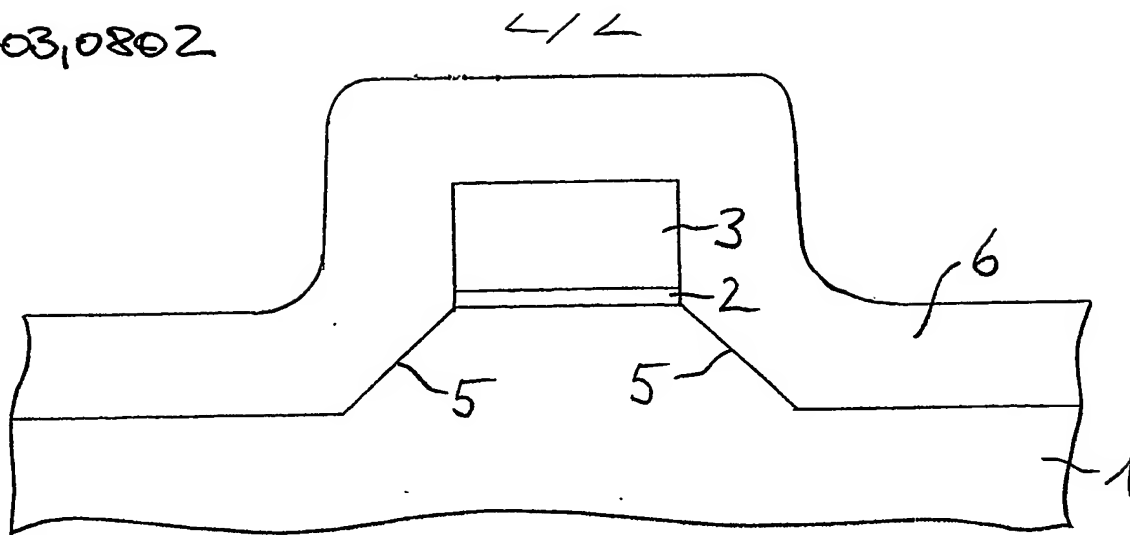


Fig 3



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☐ FADED TEXT OR DRAWING

☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☒ LINES OR MARKS ON ORIGINAL DOCUMENT

☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.